

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-083241

(43)Date of publication of application : 28.03.1997

(51)Int.Cl. H01Q 13/08
H01Q 1/24
H01Q 1/40
H01Q 23/00

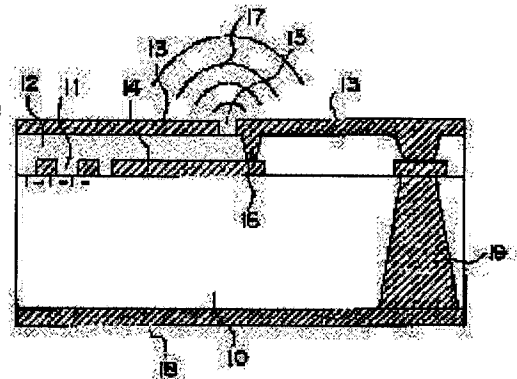
(21)Application number : 07-235354 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 13.09.1995 (72)Inventor : MORITSUKA KOHEI
KONNO YOSHIO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the gain and the directivity and to reduce the chip area by utilizing an antenna mirror image to increase the gain and the directivity and separating sufficiently circuit functions without causing the increase in inter-component distance associated therewith.

SOLUTION: In an MMIC integrating an antenna, a 60GHz processing circuit 11 formed on a major side of a GaAs substrate 10 and consisting of an HBT, resistors and capacitive components, a line 14 formed on the major side of the substrate 10 and connecting to the processing circuit 11, a 2nd ground conductor layer 13 formed on the major side of the substrate 10 via a polyimide film 12 to form a slot antenna consisting of a reverse microstrip line with the line 14 and a 1st ground conductor layer 18 formed to a rear side of the substrate 10 are provided and the thickness of the substrate 10 is selected to be 330 μ m, that is 1/4 of a wavelength of an electromagnetic wave.



LEGAL STATUS

[Date of request for examination] 04.07.2002

[Date of sending the examiner's decision of rejection] 11.05.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平9-83241

(43) 公開日 平成9年(1997)3月28日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 Q	13/08		H 0 1 Q	13/08
	1/24			1/24
	1/40			1/40
	23/00			23/00

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21) 出願番号 特願平7-235354

(22) 出願日 平成7年(1995)9月13日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 森塚 宏平

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 昆野 舜夫

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

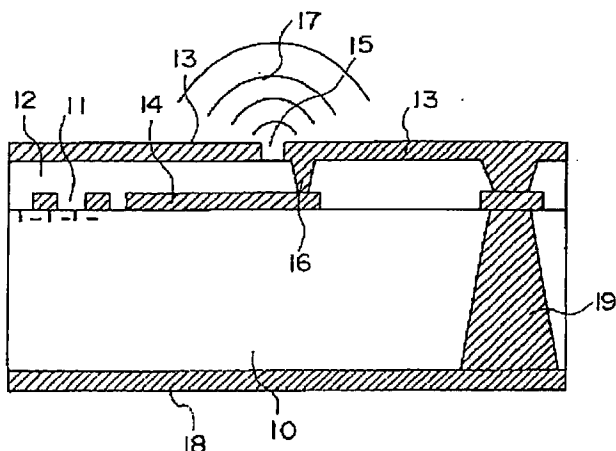
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 アンテナ鏡像利用により利得及び指向性を増すことができ、かつこれに伴う素子間距離の増大を招くことなく回路機能相互間を十分に分離することができ、利得及び指向性の向上とチップ面積縮小の双方を達成し得る。

【解決手段】 アンテナを集積化したMMICにおいて、GaAs基板10の主面に形成されたHBTと抵抗、容量素子からなる60GHzの処理回路11と、基板10の主面に形成され処理回路11に接続された線路14と、基板10の主面上にポリイミド膜12を介して形成され、線路14と共に逆マイクロストリップ線路を構成し、かつスロットアンテナを構成する第2の接地導体層13と、基板10の裏面に形成され第1の接地導体層18とを具備し、基板10の厚さを電磁波の波長の1/4である330μmに設定した。



【特許請求の範囲】

【請求項1】半絶縁性化合物半導体基板の主面に形成された少なくとも一つの半導体素子を含む回路素子と、前記基板の主面上に形成され電磁波を入力又は出力するアンテナ素子と、前記基板の裏面に形成された第1の接地導体層と、前記基板の主面に形成され前記回路素子に接続された線路と、前記線路と共に伝送路を構成する第2の接地導体層とを具備してなることを特徴とする半導体装置。

【請求項2】半絶縁性化合物半導体基板の主面に形成された少なくとも一つの半導体素子を含む回路素子と、前記基板の主面上に形成され電磁波を入力又は出力するアンテナ素子と、前記基板の裏面に形成された第1の接地導体層と、前記基板の主面に形成され前記回路素子に接続された線路と、前記線路と共に伝送路を構成する第2の接地導体層とを具備してなり、前記線路と第2の接地導体層との離間距離は、前記アンテナ素子より入力又は出力する電磁波の波長 λ の $1/8$ 以下であって、前記アンテナ素子と第1の接地導体層との離間距離は、前記波長 λ の $1/8$ 以上 $3/8$ 以下であることを特徴とする半導体装置。

【請求項3】第2の接地導体層は、前記基板の主面上に前記線路とは絶縁層を挟んで形成され、前記アンテナ素子は、第2の接地導体層の開口部からなるスロットアンテナであることを特徴とする請求項1又は2記載の半導体装置。

【請求項4】第2の接地導体層は、前記基板の主面に前記線路と同一面上に形成され、前記アンテナ素子は、前記線路及び第2の接地導体層が形成された面とは絶縁層を挟んで形成されたパッチアンテナであることを特徴とする請求項1又は2記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アンテナ素子を内蔵した半導体装置に係わり、特にマイクロ波・ミリ波の処理機能を有する半導体装置に関する。

【0002】

【従来の技術】近年、GaAsやInP等のIII-V族化合物半導体を用いた超高速素子の開発が進み、マイクロ波帯の処理機能を半導体基板上に集積化したいわゆるMMIC (Monolithic Microwave Integrated Circuit) 技術の研究開発も活発に行われている。特に30GHz以上のミリ波領域では、マイクロストリップ線路等の放射損失が大きくなるので、回路素子間の相互の結線ができる限り短縮することが必要とされる。従って、ミリ波の無線機器等においては、アンテナも半導体素子上に一体に集積化したMMICが必要とされている。

【0003】図6に、従来のアンテナ一体型のMMICを示す。半絶縁性GaAs基板1上に、HBT (Hetero

タン素子よりなる増幅器等の各機能回路3が集積化され、各機能回路3がマイクロストリップ線路4で結線されている。増幅器の出力は、整合回路5を経由してマイクロストリップパッチアンテナ6に供給されている。また、GaAs基板1の裏面には、接地導体7が設置されている。

【0004】上記の構成において、増幅器より供給された高周波電力は、マイクロストリップパッチアンテナ6に蓄積され、自由空間へと放射される。通常、マイクロストリップ線路を構成する誘電体基板の厚みは、所望の波長よりも十分低く設定される。例えば、60GHzの周波数を伝送する線路では、GaAs基板1の厚みは50 μ m程度に設定される。これは、GaAs中での電磁波の波長のおよそ $1/28$ である。

【0005】図6の従来例において、アンテナ素子と回路機能のモノリシック一体形成は可能になったが、まだ未解決の問題が残されている。例えば図6の例では、一つのパッチのみがある場合を図示したが、このような場合、アンテナの放射パターンは接地面より上の半空間に対してほぼ無指向性であるので、利得が小さい。指向性のある程度持たせて、利得を上げることは多くの用途で有効であるが、このためには複数のアンテナ素子を設ける必要がある。

【0006】図7に、複数のアンテナ素子8、9を設けて3dB程度の利得改善を行った例を示す。しかし、GaAs基板は高価であるのでチップ面積はできるだけ小さくする必要がある。60GHzの周波数を取り扱うことを考えると、マイクロストリップパッチの大きさはおよそ半波長程度にする必要があるので、GaAs基板上の波長短縮率として0.3とすれば一辺が0.75mmの大きさが必要である。さらに、複数のアンテナ素子を形成するには、その整数倍の面積が必要である。これは、多くの用途において半導体基板の面積の大部分を占める要素であり、従ってアンテナ利得と低価格化は両立できないという問題を抱えていた。

【0007】アンテナの利得を改善する別の手段として、アンテナの鏡像を用いることが考えられる。アンテナより $1/4$ 波長離れた位置に導体層を設ければ、鏡像電荷が半波長離れた位置に形成されるので、アンテナ利得をおよそ3dB増し指向性も改善することができる。60GHzの周波数を取り扱うことを考えると、GaAs基板の厚みを $1/4$ 波長に相当する350 μ mとし、基板表面に接地導体層を設ければ、アンテナの面積を増やさずに指向性が増す。

【0008】一方、回路機能相互の結線において、電気的な相互干渉を避けようとする、例えばマイクロストリップ線路基板の5倍程度素子間隔や線路間隔をあける必要があり、厚さ350 μ mの基板を用いた場合、60GHzでは1.7mmにもなり、かえってチップ面積が

【0009】

【発明が解決しようとする課題】このように従来、アンテナ素子を内蔵したマイクロ波・ミリ波の処理機能を有する半導体装置においては、アンテナの鏡像を利用して利得及び指向性を改善することができるが、鏡像を利用するために基板の厚みを厚くすると、回路機能相互の干渉を避けるために素子間隔や線路間隔を大きく広げる必要が生じ、チップ面積が増加してしまうという問題があった。

【0010】本発明は、上記事情を考慮して成されたもので、その目的とするところは、アンテナ鏡像利用により利得及び指向性を増すことができ、かつこれに伴う素子間距離の増大を招くことなく回路機能相互間を十分に分離することができ、利得及び指向性の向上とチップ面積縮小の双方を達成し得るアンテナ素子内蔵型の半導体装置を提供することにある。

【0011】

【課題を解決するための手段】

（概要）上記課題を解決するために本発明は、次のような構成を採用している。即ち本発明は、アンテナ素子を内蔵した半導体装置において、半絶縁性化合物半導体基板の主面に形成された少なくとも一つの半導体素子を含む回路素子と、前記基板の主面上に形成され電磁波を入力又は出力するアンテナ素子と、前記基板の裏面に形成された第1の接地導体層と、前記基板の主面に形成され前記回路素子に接続された線路と、前記線路と共に伝送路を構成する第2の接地導体層とを具備してなることを特徴とする。

【0012】ここで、本発明の望ましい実施態様としては次のものがあげられる。

(1) 線路と第2の接地導体層との離間距離は、アンテナ素子より入力又は出力する電磁波の波長 λ に対し $(1/8)\lambda$ 以下であって、アンテナ素子と第1の接地導体層との離間距離は $(1/8)\lambda \sim (3/8)\lambda$ であること。

(2) 第2の接地導体層は基板の主面上に線路とは絶縁層を挟んで形成され、アンテナ素子は第2の接地導体層の開口部からなるスロットアンテナであること。

(3) 第2の接地導体層は基板の主面に前記線路と同一面上に形成され、アンテナ素子は線路及び第2の接地導体層が形成された面とは絶縁層を挟んで形成されたパッチアンテナであること。

(4) 半絶縁性化合物半導体基板として、GaAs基板を用いたこと。

(5) 基板の主面に形成する半導体素子として、HBTやHEMT (High Electron Mobility Transistor) を用いたこと。

(6) 絶縁層として、ポリイミドを用いたこと。

（作用）本発明では、基板上に集積化したマイクロスト

像がアンテナより実効波長で半波長程度離れた位置に形成されるように第1の接地導体層を設け、回路機能相互の結線に用いる伝送線路の接地導体として第2の接地導体層を設けている。第1の接地導体層は、アンテナ素子が形成された半導体基板主面の裏面に形成されている。

【0013】このような構成において、基板内における電磁波の波長 λ に対し、第1の接地導体層とアンテナ素子との実効的な距離を $(1/8)\lambda \sim (3/8)\lambda$ 、より望ましくは $(1/4)\lambda$ に選択することにより、アンテナの鏡像が半波長離れた位置に生じるので、アンテナの指向性が増し利得が改善される。第1の接地導体層を半導体基板の裏面に形成するように基板の厚みを選べば、工程数とチップ面積を増やすことなく利得が改善されるので、コスト低減が可能である。

【0014】また、第2の接地導体層を、回路機能を相互結線する伝送路の接地層として設けることで、回路機能相互の電気的な分離を短距離で行え、チップ面積の縮小が可能になり、コスト低減が行える。

【0015】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。

（第1実施形態）図1及び図2は本発明の第1実施形態に係わるアンテナ素子内蔵型半導体装置の概略構成を説明するためのもので、図1は断面図、図2は斜視図である。

【0016】この実施形態では、厚さ $330\mu\text{m}$ のGaAs基板（半絶縁性化合物半導体基板）10上にHBTと抵抗、容量素子よりなる60GHzの処理回路（回路素子）11が集積化され、その基板表面に厚さ $5\mu\text{m}$ のポリイミド膜12が積層され、その上に第2の接地導体層13が積層されている。回路素子相互の結線は、GaAs基板10上に形成された線路14と第2の接地導体層13とで構成される、いわゆる逆マイクロストリップ線路（伝送路）によって行われている。

【0017】第2の接地導体層13の所望の位置にはスロット15が開口され、処理回路11から延伸した逆マイクロストリップ線路がスロット下部16で第2の接地導体層13に接続され、これによりスロット15から基板上面方向に電磁波17を放射する構造となっている。スロット15の形状は、所望の帯域が得られるように設定するが、例えば60GHzを放射する場合、長辺2mm程度の長方形等が用いられる。

【0018】GaAs基板20の下面には、第1の接地導体層18が設けられている。第1の接地導体層18と第2の接地導体層13は、GaAs基板10を貫通する導電体19で接続されている。

【0019】このような構成であれば、スロットアンテナを構成する第2の接地導体層13と基板裏面側の第1の接地導体層18との距離が、60GHzにおけるGa

ナ鏡像のために利得及び指向性を増すことができる。さらに、第2の接地導体層13は厚さ $5\mu\text{m}$ のポリイミド膜12を介して基板主面の線路14とマイクロストリップ線路を形成しているため、回路素子相互の分離はその5倍程度でよく、回路素子相互の干渉防止のために間隔を大きく開ける必要は無い。

【0020】ここで、第1及び第2の接地導体層の間隔を変えるとアンテナ鏡像効果も変化するが、これらの間隔、即ちGaAs基板の厚さは次の範囲が望ましい。アンテナ主面に垂直な方向の放射電界強度を、GaAs基板10の厚さの関数として図3に示した。なお、比較のために第1の接地導体層が無い場合の電界強度を図中に破線で示す。

【0021】主面に垂直な方向では、アンテナ位置にあるダイポールと鏡像位置にある逆位相のダイポールからの放射電界が足し合わされ、基板厚みが半波長変わる毎に周期的に強度が変化する。図3より、GaAs基板の厚みを $1/8$ 波長より大きく $3/8$ より小さくすれば、主面に垂直な方向の電界強度を第1の接地導体層が無い場合に比べて増加させることができる。

【0022】このように本実施形態によれば、GaAs基板10の厚さをGaAs中における電磁波の波長 λ の $1/4$ 程度に設定し、GaAs基板10の裏面に第1の接地導体層18を形成しているため、アンテナの鏡像が半波長離れた位置に生じることになり、これによりアンテナの指向性を増して利得を改善することができる。そして、このための工程はGaAs基板10の厚みを所望の厚さに設定するだけなので、工程数とチップ面積を増やすことなく指向性の制御と利得の改善が行え、コスト低減が可能である。

【0023】また、第2の接地導体層13を、回路機能を相互接続する伝送路の接地層として設けることで、回路機能相互の電気的な分離を短距離で行え、チップ面積の縮小が可能になり、コスト低減が行える。本実施形態では、伝送路を構成する絶縁層として厚み $5\mu\text{m}$ のポリイミド膜12を用いており、素子間隔は電磁気的な相互干渉なしにおよそ $25\mu\text{m}$ 程度まで縮小可能で、チップ面積の縮小とコスト削減に有効である。また、アンテナを構成するスロットラインはGaAs（比誘電率=13）に比べ低誘電率のポリイミド（比誘電率=3）上に構成されるので、GaAs上に直接アンテナを設けた場合に比べアンテナ面積を大きくとれ空中の放射効率が増す。

（第2実施形態）図4及び図5は本発明の第2実施形態に係わるアンテナ素子内蔵型半導体装置概略構成を説明するためのもので、図4は断面図、図5は斜視図である。

【0024】この実施形態では、厚さ $330\mu\text{m}$ のGaAs基板（半絶縁性化合物半導体基板）20上にHBT

素子21が集積化され、その基板表面に第2の接地導体層23が積層され、その上に厚さ $5\mu\text{m}$ のポリイミド膜22が積層されている。回路素子相互の結線は、GaAs基板表面に形成された線路24と第2の接地導体層23とで構成されるコプレーナ線路（伝送路）によって行われている。

【0025】ポリイミド膜22上にはパッチアンテナ25が形成され、このパッチアンテナ25はコプレーナ線路の中心導体（線路24）と接続されている。そして、パッチアンテナ25の表面から基板上面方向に電磁波27を放射する構造となっている。パッチの形状は、所望の帯域が得られるように設定するが、特に接地導体層の位置が第2の接地導体層23から後述する第1の接地導体層へ不連続的に変換する部位での反射が抑えられるように設計する。

【0026】また本実施形態では、パッチアンテナ25をポリイミド膜22の上に構成したが、パッチアンテナ25をGaAs基板20上に直接形成してポリイミド膜22を省くことも可能である。

【0027】GaAs基板20の下面には、第1の接地導体層28が設けられている。第1の接地導体層28と第2の接地導体層23は、GaAs基板20を貫通する導電体29で接続されている。図5においては、アンテナに電力を供給するGaAs基板上の回路構成を明示するために、回路部分の最上層のポリイミド膜を省いて図示した。

【0028】このような構成であっても、パッチアンテナ25と第1の接地導体層28との間隔を 60GHz におけるGaAs中での電磁波の $1/4$ 波長程度とすることができ、しかも線路24と第2の接地導体層23とで極めて短い間隔でコプレーナ線路を形成しているため、回路素子間を大きく離す必要無しに回路素子相互の干渉防止をはかることができる。従って、第1の実施形態と同様の効果が得られる。

【0029】なお、本発明は上述した各実施形態に限定されるものではない。実施形態では空中へ電磁波を放射する場合を例にとったが、本発明は電波を受信・増幅する機能を有する半導体装置の構成にも適用できる。また、実施形態では第1の接地導体層をアンテナ主面より実効波長にて $1/4$ 波長程度離す位置に置いたが、所望の放射パターンやアンテナ利得を得る範囲にてこの距離は適宜変更可能である。

【0030】また、基板はGaAsに限るものではなく、HBTやHEMTを形成するのに適した半絶縁性化合物半導体基板を用いることができる。さらに、絶縁層は必ずしもポリイミドに限るものではなく、各種の絶縁体を用いることができる。但し、半導体基板上に直接アンテナを設けた場合よりも空中の放射効率を増すためには、基板よりも誘電率の低いものが望ましい。その他、

ることができる。

【0031】

【発明の効果】以上詳述したように本発明によれば、半絶縁性化合物半導体基板の裏面にアンテナ鏡像形成のための第1の接地導体層を設けると共に、基板の主面側に伝送路形成のための第2の接地導体層を設けることにより、アンテナ鏡像利用により利得及び指向性を増すことができ、かつこれに伴う素子間距離の増大を招くことなく回路機能相互間を十分に分離することができる。従って、利得及び指向性の向上とチップ面積縮小の双方を達成し得るアンテナ素子内蔵型の半導体装置を実現することが可能となる。

【図面の簡単な説明】

【図1】第1実施形態に係わるアンテナ内蔵型半導体装置の概略構成を示す断面図。

【図2】第1実施形態に係わるアンテナ内蔵型半導体装置の概略構成を示す斜視図。

【図3】GaAs基板厚さ/GaAs内波長と電界強度との関係を示す特性図。

【図4】第2実施形態に係わるアンテナ内蔵型半導体装

置の概略構成を示す断面図。

【図5】第2実施形態に係わるアンテナ内蔵型半導体装置の概略構成を示す斜視図。

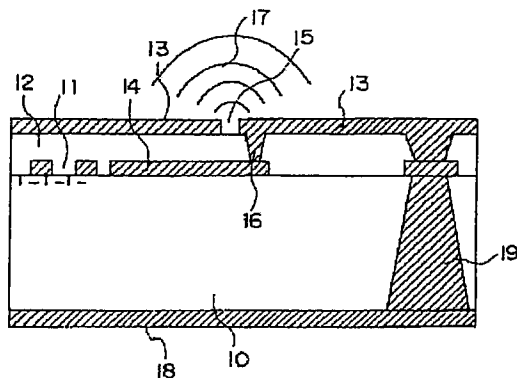
【図6】第1の従来例に係わるアンテナ一体型のMMICを示す図。

【図7】第2の従来例に係わるアンテナ一体型のMMICを示す図。

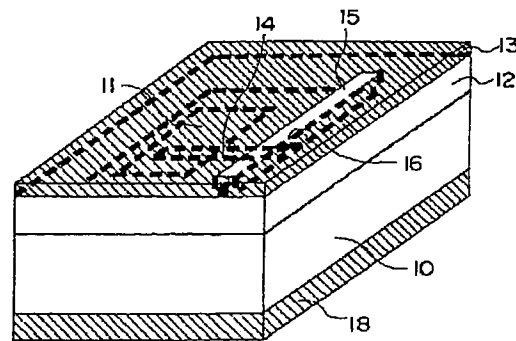
【符号の説明】

- 10, 20…GaAs基板
- 11, 21…処理回路
- 12, 22…ポリイミド膜
- 13, 23…第2の接地導体層
- 14, 24…線路
- 15…スロット
- 16…スロット下部
- 17, 27…電磁波
- 18, 28…第1の接地導体層
- 19, 29…導電体
- 25…パッチアンテナ

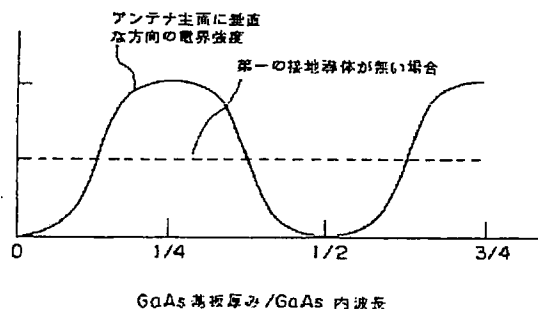
【図1】



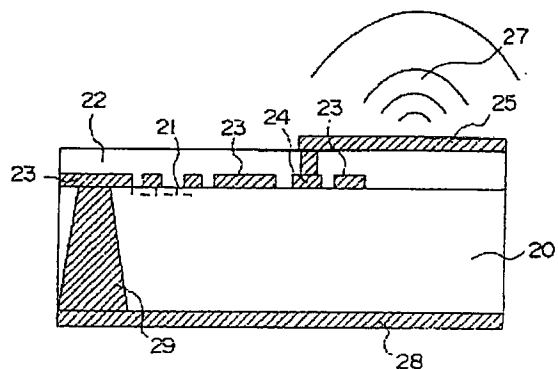
【図2】



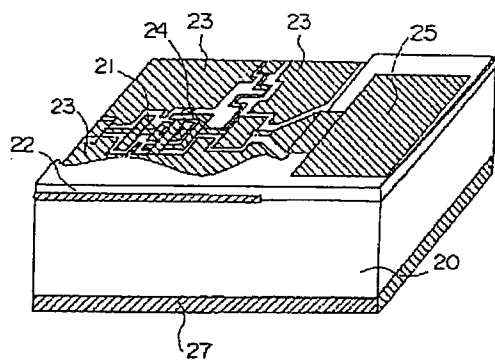
【図3】



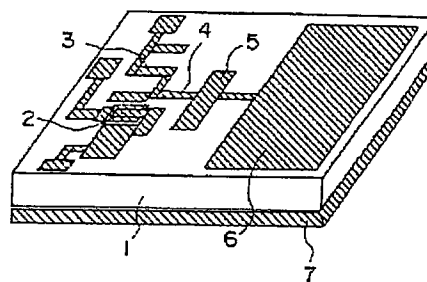
【図4】



【図5】



【図6】



【図7】

